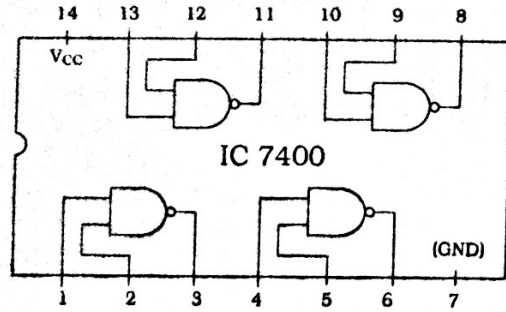


ÜNİTE XI

PROGRAMLANABİLİR LOJİK DEVRELER

A) PLA (PROGRAMLANABİLİR MANTIK DİZİLİMİ) - PAL (PROGRAMLANABİLİR DİZİLİM MANTIK)



Şekil 11.1: IC 7400

PLA mantığı tüme-şik devre (IC) tasarımcıları ve üreticileri tarafından geliştirilen ve temel amacı daha az sayıda yonga kullanarak değişik dijital fonksiyonların, fiziki bağlantı yapılmadan (Baskılı devre ile yüzlerce kapıyı birbirine bağlamak yerine) PLA ile gerçekleştirilmesi temel esasına dayanmaktadır.

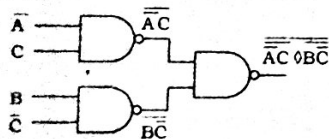
Bu olayı basit bir örnek ile açıklamaya çalışalım:

Şekil 11.1'de 2 girişli 4 adet NAND (VE DEĞİL) kapısını ihtiva eden IC 7400 TTL entegresi iç yapısı görülmektedir. Bu entegre paketi yüzlerce çeşitli kapı entegresinden yalnızca birisidir. Bu lojik entegreyi kullanarak;

$F = \overline{AC} + \overline{BC}$ fonksiyonunuyalnızca IC7400 NANDgate'leri ile gerçekleştirmek için,

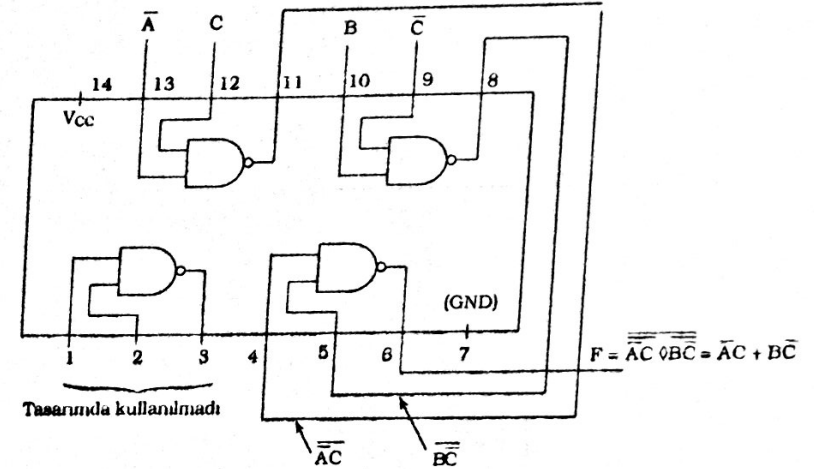
$\overline{\overline{F}} = \overline{AC} + \overline{BC}$ [Eşitliğin 2 defa değilin alınması ile değeri değişmez ($\overline{\overline{F}} = F$)]

$\overline{F} = \overline{AC} \cdot \overline{BC}$ [Boolean Cebri kurallarına göre değerlerden birisi açılır. "+" işareti "." şekline döner]



Görüldüğü gibi $F = \overline{AC} + \overline{BC}$ fonksiyonu 2 adet AND ve 1 adet OR gate ile gerçekleştirilebildiği halde, fazla sayıda entegre kullanmamak için yalnızca NAND kapıları ile de gerçekleştirilebilmekte ve daha ekonomik olmaktadır.

Şimdi Şekil 11.1'de bacak bağlantıları verilen IC 7400 entegresini kullanarak fonksiyonu gerçekleştirirelim.



Şekil 11.2: $F = \overline{AC} + \overline{BC}$ fonksiyonunun IC7400 entegresiyle gerçekleştirilmesi

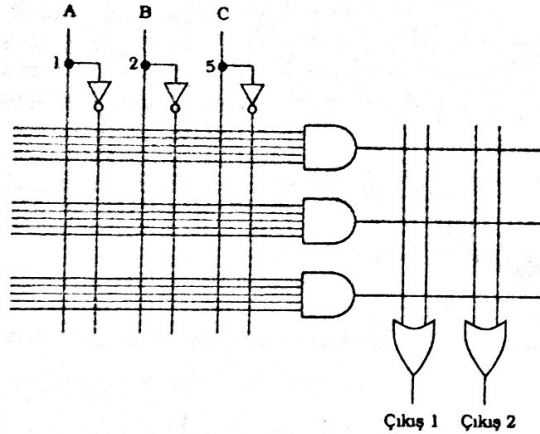
Şekil 11.2'de görülen bağlantılar entegre devrenin yerleştirildiği baskılı devre içerisinde metal iletim şeritleriyle (bakır baskılı devre yolları) yapılmaktadır.

Lojik devredeki kapı sayısının artmasıyla birlikte yukarıdaki mantıkla birçok IC paketi kullanmak zorunlu hale gelecektir. Buradan hareketle; kullanılacak IC paketlerinin sayısını azaltarak, ara bağlayıcı paketleri basitleştirmek amacıyla tasarımcılar, bir tek IC içerisinde yerleştirilebilen kapı sayısını büyük miktarda artıran üretim yöntemleri geliştirdiler. Bu da beraberinde birtakım sorunlar getirdi; Tek bir kutunun içine daha fazla kapı yerleştirilirse, entegre bacak bağlantılarının sayısı artırılmalıydı. Bu da entegre maliyetini arttırdığı gibi, tasarımcının aynı entegre ile çeşitli fonksiyonları gerçekleştirmesinde doğru kapı birleşimlerini seçme özelliğini azaltmaktadır ve de bağlantıların IC dışında baskılı devre ile yapılması zorunlu hale geliyor. Çünkü bağlantılar dahili olarak IC içinde üretim esnasında yapılacak olursa bu durumda maliyet daha az ve daha güvenilir olmakla birlikte her bir lojik fonksiyon ihtiyacını özel amaçlı olarak üretilmiş toplam maliyet ortaya çıkar ki bu durumda özel amaçlı entegre fikrinden vazgeçilmesi gerekiyor.

Çok basit olarak bir örnek daha verelim. Herhangi bir lojik devrede benim

$F_1 = \bar{A}\bar{B} + \bar{C}D$, sizin de $F_2 = \bar{A}C + \bar{B}C$ bir başkasında $F_3 = AB + ABC + \bar{B}C$ gibi çoğaltılabileceğimiz ihtiyaçları olabilir. (Bu fonksiyonları çok daha karmaşık düşünebilirsiniz). İşte bu durumda entegre üreticilerinin her bir fonksiyon için özel entegre tasarlamasının oldukça pahalı bir yöntem olduğunu yukarıda anlattık. Bu durumda öyle bir entegre olsun ki yukarıdaki F_1 , F_2 , F_3 ve daha bir çok fonksiyonu tek başına yerine getirebilsin. İşte bu sorunun cevabı, PLA (Programlanabilir mantık dizilimi) ya da PAL (Programlanabilir dizilim mantık) olarak adlandırılan IC yongalarının bu ihtiyaca cevap verebilmesidir.

Şekil 11.3'te içerisinde 3 AND ve 2 OR kapı içeren küçük bir PLA şeması görülmektedir.



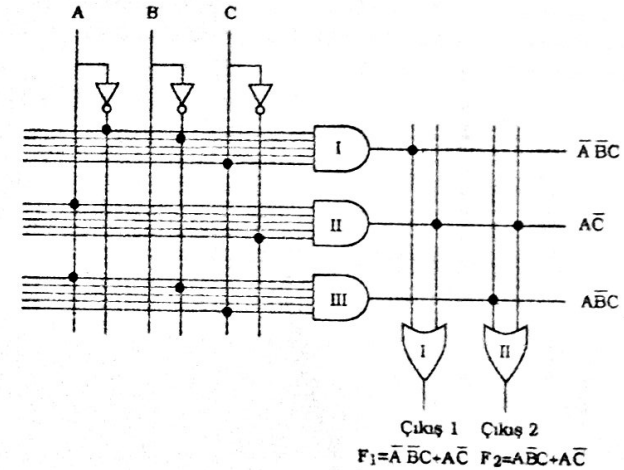
Şekil 11.3: Basit PLA Şeması

Şekil 11.3'te basit bir PLA dizilimi verilmiştir. Ancak gerçek uygulamalarda bir dizilim yüzlerce çeşit kapıdan oluşmaktadır. Her bir AND gate'in 5 giriş ucu ve her bir OR gate'in 2 giriş ucu kesinlikle hiçbir yere bağlı (temaslı) değildir. (Not; eğer sigortalı PLA mantığı kullanılmış ise tüm bağlantı noktalarının, yani yatay ve dikey kesişen tüm bağlantıların başlangıçta kısa devre edildiği söylenebilir. $A, B, C, \bar{A}, \bar{B}, \bar{C}$ ile tüm AND gate girişlerinin başlangıçta bağlantılı olduğu, aynı şekilde 3 adet AND gate çıkışının 2 OR gate girişi ile kısa devre temas durumunda olduğu düşünülmelidir) Bu iki mantık birbirinin tam tersidir. Ancak sonuçta her iki mantıklarda istenen fonksiyon elde edilebilmektedir.

Buna göre PLA'lar 2 farklı biçimde imal edilmektedirler:

I. GRUP PLA'lar; Her kesişim noktasında başlangıçta bağlantı yoktur, istenen bağlantılar, tasarım esnasında gerçekleştirilir mantık tasarımı için üreticilere özel bir tasarım için hangi bağlantının yapılması gerektiğini anlatır ve de üreticiler metalle kaplanmış tabloları üretim boyunca yongaya ekleyerek istenen bağlantıların gerçekleştirildiği bir maske oluşturulur. Söz konusu maskenin maliyeti özel bir yonga üretilmesi maliyetinin yanında daha düşük olmaktadır.

II. GRUP PLA'lar; Her kesim noktasında başlangıçta sigortalandırılmış kısa devreler mevcuttur. Böylece PLA üretildiğinde mümkün olan her bağlantı gerçekleştirilebilmektedir. Programa veya istenen lojik fonksiyona göre istenmeyen bağlantılar, sigortaları artırılarak kaldırılır. Bu tür PLA dizisi (F PLA; Field - programmable logic array) "Alan programlanabilir mantık dizisi" ismini almaktadır.



Şekil 11.4: 3 Girişli - 2 çıkışlı PLA bağlantılarının tasarımı

Şekil 11.4'ü dikkatlice inceleyecek olursanız başlangıç olarak hedefimiz $F_1 = \bar{A}\bar{B}C + A\bar{C}$ ve $F_2 = \bar{A}BC + A\bar{C}$ fonksiyonlarını PLA ile gerçekleştirmek. İlk durumda yatay ve dikey olarak kesişen hiçbir noktada bağlantı yok. F_1 ve F_2 fonksiyonlarını elde edebilmek için belirli noktalara bağlantı noktaları yerleştirdik. Örneğin, $\bar{A}\bar{B}C$ ifadesini elde etmek için birinci AND Gate kullanıldı ve A, B ve C noktalarının 1'nci AND gate ile kesişen noktaları işaretlenmiştir. Aynı şekilde $A\bar{C}$ için 2'nci AND gate ve $\bar{A}BC$ için 3'ncü AND gate kullanılmıştır. F_1 fonksiyonunu elde etmek için 1'nci

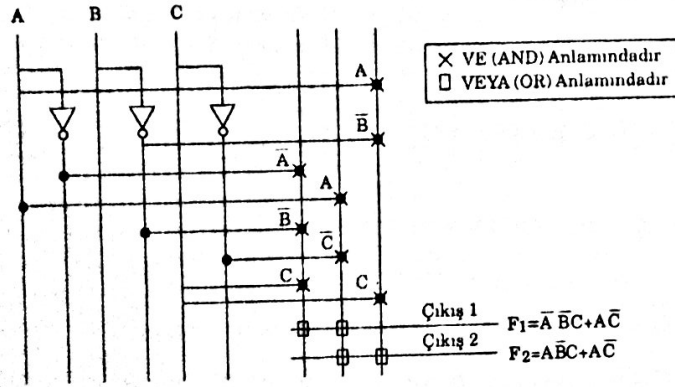
OR gate kullanılmış ve 1'inci OR gate'in $\bar{A}\bar{B}C$ ve $A\bar{C}$ AND gate çıkışlarıyla kesişen noktaları ($\bar{A}\bar{B}C$, OR gate'in girişine $A\bar{C}$ diğer girişine olacak şekilde) işaretlenerek bağlantı sağlanmıştır. Aynı mantıkla F_2 fonksiyonunu elde edebilmek için ABC ve AC AND gate çıkışlarının 2'inci OR gate ile kesiştiği noktalar her birisi OR gate'in bir girişine gelecek şekilde nokta ile bağlantısı sağlanmıştır.

PLA'nın kullanışlı bir özelliği de şudur: Dikkat edilirse $\bar{A}\bar{C}$ fonksiyonu hem F_1 hem de F_2 de mevcut olduğu halde 2 nolu AND gate ile elde edilen bu ifade hem F_1 hem de F_2 nin oluşumunda (I ve I-1 nolu OR gate'lere giriş vererek) önemli bir rol oynamıştır. Demek oluyor ki tek bir AND gate çıkışı 2 giriş olarak kullanılabilir.

Umumiyetle PLA devreleri içerlerinde yüzlerce kapı içerirler. 15'ten 25'e kadar giriş ve 5'ten 15'e kadar girişli ve 5'ten 15'e kadar çıkış'a sahip olabilir.

Bu özelliği tasarımcılar için büyük kolaylıklar getirmektedir. Yukarıda anlatılan örnekteki PLA devresi basit bir PLA örneği olup 3 girişli - 2 çıkışlı PLA olarak adlandırılır.

1) Basitleştirilmiş PLA Gösterimi ve Kullanılan Semboller



Şekil 11.5 Basitleştirilmiş PLA gösterimi

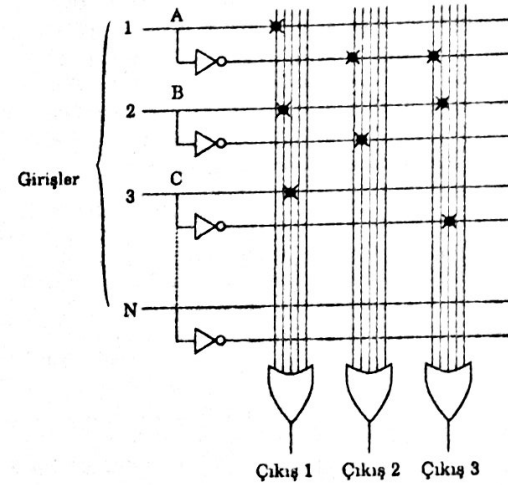
$$F_1 = \bar{A}\bar{B}C + \bar{A}C \quad (\text{Çıkış 1})$$

$$F_2 = \bar{A}BC + \bar{A}C \quad (\text{Çıkış 2})$$

Bu gösterim tekniği diğer devre çizimine göre daha basit ve anlaşılır, daha az yer kaplamasından dolayı tercih edilmektedir. Çizimde çarpı işareti (X), VE kapılarını, kare işaretleri (□) ise VEYA kapılarını göstermektedir.

2- PAL Tasarım Tekniği

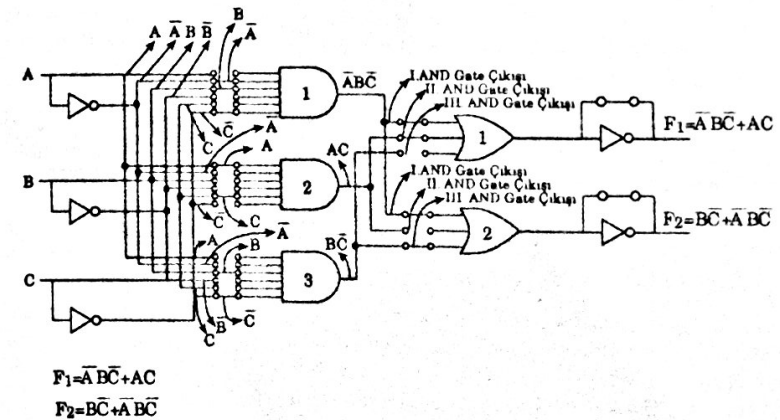
$F = ABC + \bar{A}\bar{B} + \bar{A}\bar{B}C$ fonksiyonunu PAL tekniği ile tasarlayın.



Şekil 11.6'da görülen PAL dizisi programlayıcı tekniğiyle ABC fonksiyonu çıkış 1 ile, $\bar{A}\bar{B}$ fonksiyonu çıkış 2 ile ve $\bar{A}\bar{B}C$ fonksiyonu ise çıkış 3 ile elde edilmiştir. Bu çizim mantığında çarpı işareti AND anlamına gelmektedir, PAL devreleri PLA devrelerine çok benzer ancak OR kapıları PAL devrelerinde sabittir.

Şekil 11.6: PAL Tasarım Örneği

Bir PLA'nın büyüklüğü, girişlerin çarpım terimlerinin ve çıkışların sayısı ile tanımlanır. Tipik bir PLA'da 16 giriş, 48 çarpım terimi ve 8 çıkış vardır.



Şekil 11.7: PLA Tasarım Örneği

A	B	C	F ₁	F ₂
0	0	0	0	0
0	0	1	0	0
0	1	0	1	1
0	1	1	0	0
1	0	0	0	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

Doğruluk Tablosu

Yukarıdaki örnekte $F_1 = \overline{A}BC + AC$ $F_2 = BC + \overline{A}BC$ fonksiyonları PLA program dizisi ile gerçekleştirilmektedir.

PLA devremiz;

3 girişli, 3 çarpım terimli ve 2 çıkışlıdır. Bu çizim tekniği ile konunun başında verdiğimiz teknik arasında hiçbir fark yoktur. Çünkü her iki teknikle de AND gate girişlerine A, B, B ve C, C gelmekte biz istediğimiz bağlantıları noktalararak işaretlemekteyiz. Hangi çizimi daha rahat anlayabiliyorsanız o tekniği kullanın.

	Çarpım Terimi	Girişler			Çıkışlar	
		A	B	C	F ₁	F ₂
$\overline{A}BC \rightarrow$	1	0	1	0	1	1
$AC \rightarrow$	2	1	-	1	1	-
$\overline{B}C \rightarrow$	3	-	1	0	-	1
T/C T: Doğru C: Tümlen		C: Tümlen			T	T
Çıkış		Çıkış				

Tablo 11.1: PLA Program Tablosu

gösterir. Örneğin; $F_1 = \overline{A}BC + AC$ fonksiyonu verilseydi F_1 in en alt satırına T yerine C harfi yazılırdı böylece PLA çıkışında  olan çıkış formu  olurdu ve fonksiyonun tümleneni alınırdı.

Tablo 11.1'de verilen PLA Program Tablosunda F_1 ve F_2 fonksiyonları için tablo hazırlanmıştır. En alt bölümdeki T harfi F_1 fonksiyonunun PLA çıkışında doğrudan alınacağını, C harfi ise tümlenerek alınacağını